

DERWENT-ACC-NO: 2002-466274

DERWENT-WEEK: 200449

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Dual damascene wiring formation in semiconductor integrated circuit manufacture, involves filling connection hole formed in insulating film with water-soluble material, before forming resist pattern

PATENT-ASSIGNEE: SHARP KK[SHAF]

PRIORITY-DATA: 2000JP-0275779 (September 12, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
JP 3547383 B2	July 28, 2004	N/A	007 H01L 021/768
JP 2002093901 A	March 29, 2002	N/A	006 H01L 021/768

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 3547383B2	N/A	2000JP-0275779	September 12, 2000
JP 3547383B2	Previous Publ.	JP2002093901	N/A
JP2002093901A	N/A	2000JP-0275779	September 12, 2000

INT-CL (IPC): H01L021/306, H01L021/312 , H01L021/768

ABSTRACTED-PUB-NO: JP2002093901A

BASIC-ABSTRACT:

NOVELTY - A silylating protective layer (6) is formed on a thin film of water-soluble material that is filled in a connection hole (4) formed in an insulation film on a substrate. A wiring groove (9) is formed by etching the silylating layer, so that the groove superimposes on the hole by using a resist

*not exposing
cond*

pattern (8) as a mask after removing the water-soluble material. The wiring material is formed in the hole and groove simultaneously.

USE - For forming wiring using a dual damascene method in semiconductor integrated circuit (IC) manufacture.

ADVANTAGE - Since the resist is not embedded in the connection hole, metal wiring of low resistance is formed in the connection hole and damage to the wiring pattern which is in contact with the connection hole is prevented.

DESCRIPTION OF DRAWING(S) - The figure shows an outline sectional view explaining the wiring formation processes.

Connection hole 4

Silylating layer 6

Resist pattern 8

Wiring groove 9

CHOSEN-DRAWING: Dwg.1a-h/3

TITLE-TERMS: DUAL WIRE FORMATION SEMICONDUCTOR INTEGRATE
CIRCUIT MANUFACTURE

FILL CONNECT HOLE FORMING INSULATE FILM WATER SOLUBLE
MATERIAL

FORMING RESIST PATTERN

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C06B1; L04-C07; L04-C10A;

EPI-CODES: U11-C05D3; U11-C07D1;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2002-132961

Non-CPI Secondary Accession Numbers: N2002-367597

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-93901

(P2002-93901A)

(43)公開日 平成14年3月29日(2002.3.29)

(51)Int.Cl.

識別記号

F I

テマコード(参考)

H 0 1 L 21/768

H 0 1 L 21/312

A 5 F 0 3 3

21/306

21/90

A 5 F 0 4 3

21/312

21/306

D 5 F 0 5 8

審査請求 未請求 請求項の数5 O L (全 6 頁)

(21)出願番号

特願2000-275779(P2000-275779)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(22)出願日

平成12年9月12日(2000.9.12)

(72)発明者 山田 和也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100102277

弁理士 佐々木 晴康 (外2名)

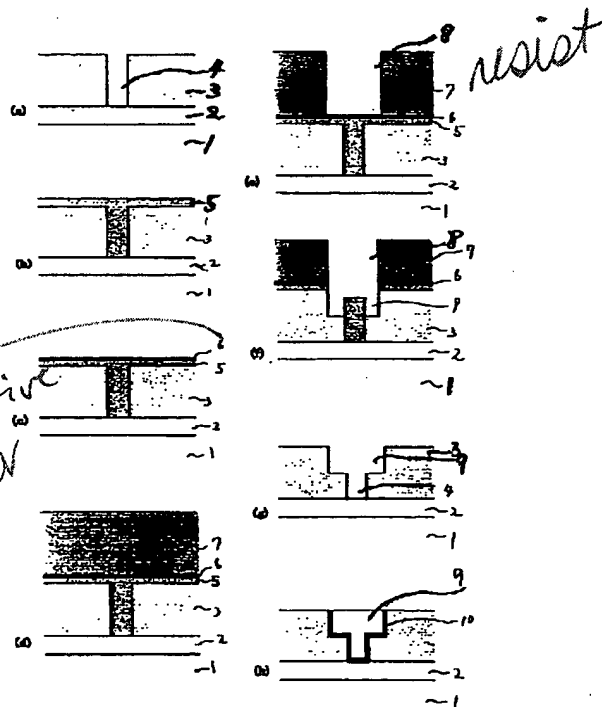
最終頁に続く

(54)【発明の名称】 配線形成方法

(57)【要約】

【課題】 デュアルダマシン形成において、配線溝を形成する際に、接続孔と接している下の配線パターンにダメージを与えることのない半導体製造方法を提供する。

【解決手段】 半導体基板に形成した配線部上に、層間絶縁膜を形成する工程と、層間絶縁膜に接続孔を形成する工程と、層間絶縁膜に接続孔を埋めるように半導体基板上に水溶性物質の薄膜を形成する工程と、前記薄膜の表面にシリル化層を形成する工程と、レジスト膜を塗布する工程と、レジストパターンを形成する工程と、接続孔に重畳するように、溝配線部をエッチングにより形成する工程と、水溶性物質を除去する工程と、配線材料を接続孔と溝配線部に同時に埋め込み配線を形成する工程と、を含むことを特徴とする配線形成方法である。



【特許請求の範囲】

【請求項1】 半導体基板上に形成した配線部上に、層間絶縁膜を形成する工程と、層間絶縁膜に接続孔を形成する工程と、層間絶縁膜に接続孔を埋めるように半導体基板上に水溶性物質の薄膜を形成する工程と、前記薄膜の表面に保護膜を形成する工程と、レジスト膜を塗布する工程と、レジストパターンを形成する工程と、接続孔に重畳するように、溝配線部をエッチングにより形成する工程と、水溶性物質を除去する工程と、配線材料を接続孔と溝配線部に同時に埋め込み配線を形成する工程と、を含むことを特徴とする配線形成方法。

【請求項2】 前記保護膜がシリル化層であることを特徴とする請求項1記載の配線形成方法。

【請求項3】 前記塗布により全面に形成された水溶性物質には、HMDS（ヘキサメチレンジシラザン）により表面にシリル化層を有することを特徴とする請求項1または請求項2記載の配線形成方法。

【請求項4】 前記水溶性物質は、レジストパターン時の露光による感光性が無いことを特徴とする請求項1、請求項2または請求項3記載の配線形成方法。

【請求項5】 前記水溶性物質が、ポリビニルアルコールであることを特徴とする請求項1、請求項2、請求項3または請求項4記載の配線形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はデュアルダマシン法による配線の形成方法に関し、特に層間絶縁膜に形成される配線溝の形式方法に関する。

【0002】

【従来の技術】 半導体素子の高集積化に伴い、配線幅の微細化及び配線間のピッチの縮小化が必要となっているが、配線幅のドライエッチングによる微細化には、配線の加工限界が生じる為、配線層を縦方向に積層させる多層配線形式を採用するのが、現在の配線技術の主流となっている。更に、配線材料としては、近年、Alに代わって、抵抗率が低く、エレクトロマイグレーション耐性の高いCuが使用されつつある。

【0003】 しかしながら、Cu配線は、Al配線よりもRIE（反応性イオンエッチング）技術での加工が困難である。

【0004】 そこで、この問題を解決する手法にデュアルダマシン（dual damascene）法がある。この方法は、層間絶縁膜中に接続孔（ビアホールとも言う）と接続孔に重畳して配線部を形成するための配線溝を形成し、接続孔と配線部に金属材料を埋め込み、CMP（化学的機械研磨）法によって、研磨をして不要部の金属材料を取り去って接続孔にプラグ状の金属層と、溝配線を同時に形成する方法である（例えば月刊Semiconductor World, 1996年12月号, 頁129～134参照）。尚、配線溝は、配線

溝形成用のレジストパターンを形成し、エッチングされることにより形成される。この場合、Si基板の全面にレジストを塗布すると、微少な孔径で深く形成された接続孔にレジストが埋め込まれてしまい、エッチング後のレジスト剥離時に接続孔の底部に不要なレジストが残るという問題が生じる。

【0005】 そこで、上記問題を解決する製造工程が特開平8-306616号に記載されている。この方法は、Si基板に形成された溝部に、水溶性の物質であるポリビニルアルコール（PVA）膜を塗布して埋め込み、その後、Si基板上にレジストを塗布しても、溝の中にはポリビニルアルコール（PVA）膜も水洗で容易に除去できるので、接続孔の底部レジスト残りを防止できるというものである。

【0006】 そこで、上記手段を、デュアルダマシン法に適用した場合を図2に基づいて説明する。図2（a）に示すように、Si基板（図示せず）上の絶縁膜11上に、配線部22を形成し、続いて層間絶縁膜33を形成する。次に、フォトリソグラフィ工程により現像、エッチングして層間絶縁膜33中に接続孔44を形成する。次に、図2（b）に示すように、ポリビニルアルコール（PVA）膜55を全面に塗布する。ポリビニルアルコール（PVA）膜55は粘性が小さいため、接続孔44内に埋め込まれ、表面の層間絶縁膜33上には100nm程度の膜厚が形成されて、ポリビニルアルコール（PVA）膜55の塗布されたSi基板の表面は平坦になる。次に、図2（c）に示すように、酸素プラズマを用いて、ポリビニルアルコール（PVA）膜55をエッチバックして、層間絶縁膜33の表面を露出させる。次に、図2（d）に示すように、レジスト77を塗布して露光を行う。次に、図2（e）及び図2（f）に示すように、配線溝100のパターンのレジスト露光及び湿式の現像時に、接続孔44内のポリビニルアルコール（PVA）膜55が完全に除去され、その後、層間絶縁膜33をエッチングすることにより配線溝100は形成される。

【0007】

【発明が解決しようとする課題】 しかしながら、従来技術である月刊Semiconductor World, 1996年12月号, 頁129～134記載の方法を用いると、配線溝を形成するために、レジストを全面に塗布すると、接続孔の底部までレジストが埋め込まれる。配線溝のエッチングを行った後、接続孔の内部のレジストがエッチング中にプラズマのダメージを受け、変質するので、O₂プラズマや有機剥離によるレジスト剥離時に、接続孔の底部に不要なレジストが残ってしまい、金属材料を接続孔及び配線溝に埋め込んだ後、接触抵抗が高くなるという問題が生じる。

【0008】 また、特開平8-306616号記載のレジストパターン形成技術をデュアルダマシン法に適用さ

せた場合には、レジスト剥離時において、レジスト及びPVA膜が完全に除去されてしまい、配線溝を形成する際に、エッチング工程時において接続孔と接している下の配線部をエッチングしてしまうという問題が生じる(図3参照)。

【0009】そこで、本発明は、上記問題を解決する半導体製造方法、詳しくはレジストパターン形成方法を提供することである。

【0010】

【課題を解決するための手段】上記課題を解決する為に、半導体基板に形成した配線部上に、層間絶縁膜を形成する工程と、層間絶縁膜に接続孔を形成する工程と、層間絶縁膜に接続孔を埋めるように半導体基板上に水溶性物質の薄膜を形成する工程と、前記薄膜の表面に保護膜を形成する工程と、レジスト膜を塗布する工程と、レジストパターンを形成する工程と、接続孔に重畳するように、溝配線部をエッチングにより形成する工程と、水溶性物質を除去する工程と、配線材料を接続孔と溝配線部に同時に埋め込み配線を形成する工程と、を含むことを特徴とする配線形成方法である。

【0011】また、前記保護膜がシリル化層であることを特徴とする配線形成方法である。

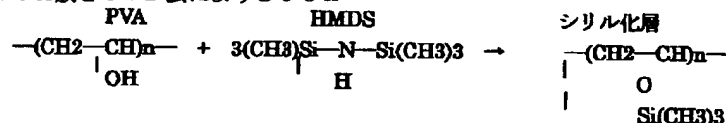
【0012】また、前記塗布により全面に形成された水溶性物質には、HMDS(ヘキサメチレンジシラザン)により表面にシリル化層を有することを特徴とする配線形成方法である。

【0013】また、前記水溶性物質は、レジストパターン時の露光による感光性が無いことを特徴とする配線形成方法である。

【0014】また、前記水溶性物質が、ポリビニルアルコールであることを特徴とする配線形成方法である。

【0015】

【発明の実施の形態】本発明の実施形態を図面を参照して説明する。図1(a)に示すように、Si基板(図示せず)に、絶縁膜1を介して配線層2を形成し、次に層間絶縁膜3としてSiO_x膜をCVD法により800n*



【0019】このシリル化層6はエーテル結合を含むため、PVA膜5の表面には水に対して不溶な膜が形成される。

【0020】次に、図1(d)に示すように、レジスト膜7を1.0μm塗布する。この時、接続孔4はPVA膜5で完全に埋め込まれているため、レジスト膜は均一に塗布される。

【0021】次に、図1(e)に示すように、接続孔4の上部に所定のマスクを用いてレジスト膜7の露光、ウ※50

*m程度堆積させる。そのレジストを塗布し、所定のマスクを用いて露光、現像を行って、直径0.2μm程度の孔径のレジストパターンを形成し、このレジストパターンをマスクにドライエッチング法により、層間絶縁膜3のエッチングを行い直径0.2μmの接続孔4を形成する。

【0016】次に、図1(b)に示すように、水溶性物質であるポリビニルアルコール膜5(以後PVA膜5と記す)を、スピンコートで回転数を3000rpm程度で20秒間で塗布し、90℃でベーキングを行いPVA膜5を50nm程度堆積させる。PVA膜5は、G線、I線、エキシマレーザ等の露光に対して感光性が無く、露光プロセスにおいてレジスト膜表面に塗布し、露光時のレジスト膜中での光の多重干渉効果を抑制し、レジスト膜の定在波効果を抑制するために用いられる材料であり、水に可溶性で、レジスト膜の現像時に現像液に含まれる水分や現像後の水洗時に除去されるため、プロセスの構成が容易となるという特徴がある。更に、粘性が低いため、微細な接続孔4内にも完全にPVA膜5を埋め込むことができるという特徴がある。

【0017】次に、図1(c)に示すように、PVA膜5の表面にヘキサメチレンジシラザン(以後HMDSと記す)を気相塗布し、シリル化反応を行い、PVA膜5の表面にシリル化層6を10nm程度を形成する。この時の気相塗布の条件は、温度が100℃、圧力が100 Torr、塗布時間を5分とした。また、シリル化剤としてHMDSだけでなく、その他のシリル化剤としてジメチルシランジメチルアミン(DMSDMA)、テトラメチルジシラザン(TMDS)、トリメチルシランジメチルアミン(TMSDMA)等のどれかを液相または気相塗布で処理してその後熱処理を加えて用いても良い。HMDSによる、PVA膜5のシリル化反応を以下に記す。

【0018】

【数1】

※エツト現像を行い、0.3μmの幅を有する配線溝のレジストパターン8を形成する。現像条件は、アルカリ現像液で現像し、水洗後に110℃のベーキングを実施した。この際、レジスト膜7の下には、水に不溶性のシリル化層6が存在しているため、水量を多量に含む現像液や水洗時にシリル化層6がPVA膜5が溶解するのを防止するので、レジストパターン8が剥がれることはない。

【0022】次に、図1(f)に示すように、配線溝形

成用のレジストパターン8をマスクとして、CF系ガスを
用いたドライエッチング法により層間絶縁膜3のエッ
チングを行い配線溝9を形成した。層間絶縁膜3のドライ
エッチング条件は、ICP (Induced Cou
pled Plasma Etching Syst
em) 装置を使用した、エッチングガスはC₄F₈、C₂
F₆、Ar、CO等の混合ガスを使用し、圧力は5mT
orr、ソースパワーを1900W等の条件で行った。
シリル化層6は上記ガス系において、容易にエッチング
ができ、且つ、シリル化層6は、単分子層であるため、
膜厚は非常に薄く、シリル化層6自体のエッチングレート
は500~700nm程度であるので、エッチングに
要する時間は非常に短い。また、前記エッチング条件で
の層間絶縁膜3に対するPVA膜5のエッチング選択比
は3程度である。尚、本実施形態において、層間絶縁膜
3の膜厚は600~1000nmであり、層間絶縁膜3
の中に形成するデュアルゲマシンの配線部の深さ(層間
絶縁膜3のエッチング深さ)は300nmである。配線
部を300nmエッチング中に接続孔4中に残るPVA
膜5はシリル化層6の真下のPVA膜5は70nm程度
膜減りする程度になる。

【0023】次に、図1(g)に示すように、スピンコー
ターにおいて、純水を滴下しながらウェーハを1分間
回転させ、レジストを除去する。尚、レジスト除去につ
いては、純水ではなく現像液を用いても良く、またはディ
ップ式で純水または現像液の入った槽の中にウェーハ
を入れても良い。更に、スピンコーターにて、シンナー
等の有機溶媒で、再度滴下しながらウェーハを回転させ
て除去するか、またはディップ式で、純水の入った第1
の槽の中にウェーハを入れPVA、シリル化層、レジス
トを除去し、シンナー等の有機溶媒の入った第2の槽の中
に入れる。次に、純水の入った第3の槽の中に入れて
洗浄する。また、第1、第2の槽においては超音波洗浄
を用いて剥離される。

【0024】次に、図1(h)に示すように、全面にバ
リアメタル10として、TaやTiやWの窒化混合物ス
パッタリング法等で形成し、その後全面に、Cuまたは
Cu合金を電界メッキで1000nm程度形成し、CMP
(化学的機械研磨)法を用い、接続孔4及び配線溝9
にCu配線を形成する。この後、通常の半導体製造工程
により、上層の層間絶縁膜の形成など製造工程を経て目
的とする半導体装置が完成する。

【0025】

【発明の効果】本発明によると、デュアルゲマシン形成
方法において、接続孔内にレジストを埋め込まないの
で、接続孔内に有機物が残留することがなく、安定した

低抵抗の金属配線を形成することができる。また、接続
孔内にレジストを埋め込まず、PVA等の水溶性且つ非
感光性の材料を埋め込むために、粘度が低く微細な接続
孔でも完全な埋め込みが可能となる。その為、レジスト
膜を均一に塗布することが可能となり、寸法制御性の高い
配線溝のレジストパターンが形成が可能となる。また、
配線溝のエッチングの際には、接続孔と接する下の
配線層に、プラズマが届くことがないので、下の配線層
がエッチングされたり、プラズマダメージによりチャー
ジアップしたりすることがない。また、配線溝のレジス
トパターンを除去する際には、O₂プラズマによるアッ
シングや有機剥離等の一般的な剥離方法を用いなくて
も、水や現像液で容易に除去することが可能であるとし
ても、レジスト表面にエッチング中のプラズマ等により
除去しにくい変質層が生じていても、リフトオフにより
レジストを除去する為、完全にレジストを除去すること
ができる。また、PVAを塗布後、HMDS等によりシリ
ル化することによりPVA表面を-OH(水酸基)から-O-Si
(CH₃)₃へと変化させることによりエー
テル結合ができ、疎水性になるため、現像時にPVAが
溶解して、レジストパターンが飛ぶことがない。

【図面の簡単な説明】

【図1】本発明の配線形成方法を工程順に示す概略断面
図である。

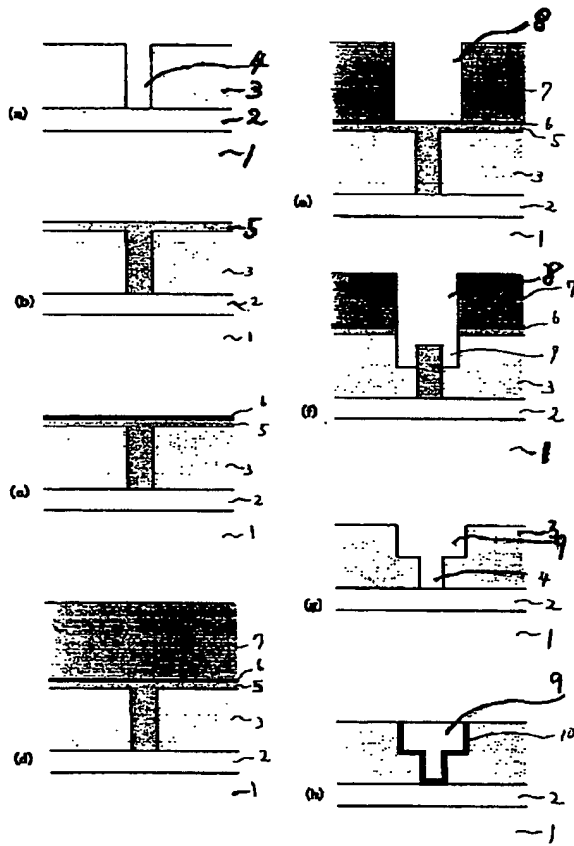
【図2】従来技術の配線形成方法を工程順に示す概略断
面図である。

【図3】従来技術で配線形成方法を用いた時に生じる問
題点を示す概略断面図である。

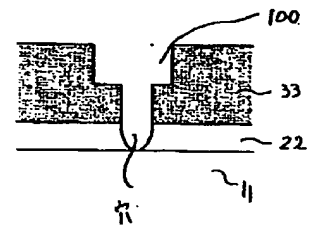
【符号の説明】

1	絶縁膜
2	配線層
3	層間絶縁膜
4	接続孔
5	ポリビニルアルコール膜(PVA膜)
6	シリル化層
7	レジスト膜
8	レジストパターン
9	配線溝
10	バリアメタル
11	絶縁膜
22	配線部
33	層間絶縁膜
44	接続孔
55	ポリビニルアルコール(PVA)膜
77	レジスト
100	配線溝

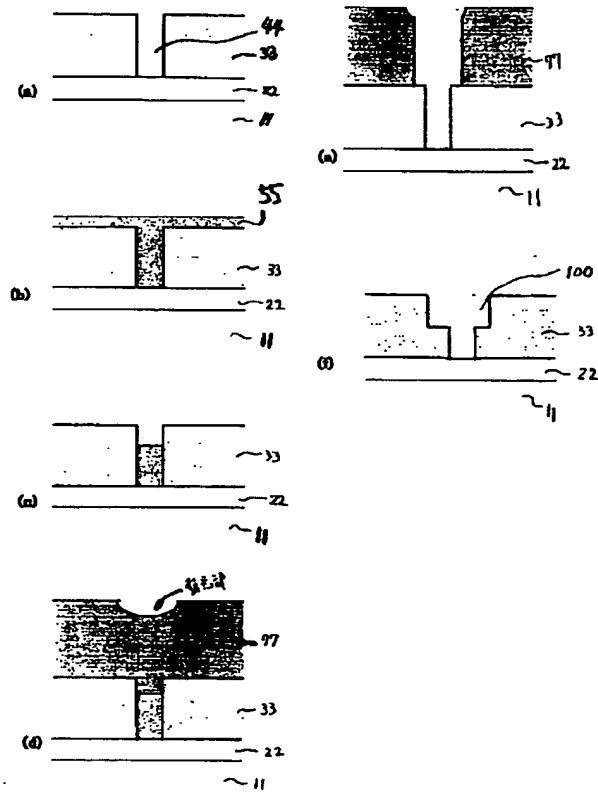
【図1】



【図3】



【図2】



フロントページの続き

Fターム(参考) 5F033 HH11 HH12 HH32 HH33 HH34
 JJ01 JJ11 JJ12 JJ32 JJ33
 JJ34 MM02 MM12 MM13 NN06
 NN07 PP27 QQ00 QQ09 QQ11
 QQ12 QQ37 QQ48 RR04 SS21
 XX09
 5F043 AA40 BB27 FF06 GG03
 5F058 AC10 AG10 AH05